

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **60-247847**

(43)Date of publication of application : **07.12.1985**

(51)Int.Cl.

G11B 15/46
G05D 13/62
H04N 5/782

(21)Application number : **59-103963**

(71)Applicant : **SONY CORP**

(22)Date of filing : **23.05.1984**

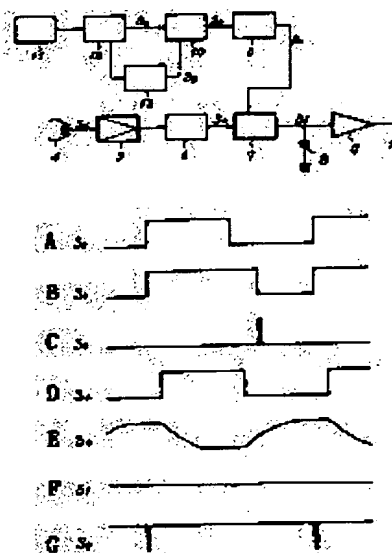
(72)Inventor : **FUTAGAMI AKIRA**

(54) DRIVE CONTROLLING DEVICE

(57)Abstract:

PURPOSE: To make excellent drive control with simple constitution, by preventing the count down of the output signals of a monostable multivibrator.

CONSTITUTION: When the clock signal of a clock oscillator 11 is supplied to a digital type internal synchronizing signal generator 12 composed of a counter, a synchronizing signal Sa is formed and, when the clock signal is supplied to a monostable multivibrator 20, a delay signal Sb is usually formed. The delay signal Sb is supplied to a gate pulse generating circuit 3 and the operation of capstan servo is performed. The count value just before the end of the one frame of the synchronizing signal generator 12 is detected and an edge pulse Sg is generated by an edge pulse generator 13 during the period from the detection to the end of one frame. The edge pulse Sg is supplied to the reset terminal of the multivibrator 20. Therefore, the monostable multivibrator 20 is surely reset just before the end of one frame and no count-down phenomena occur with this monostable multivibrator 20. As a result, excellent drive control can be performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-247847

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)12月7日

G 11 B 15/46
G 05 D 13/62
H 04 N 5/782

E-7426-5D
7164-5H
7113-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 駆動制御装置

⑯ 特 願 昭59-103963

⑰ 出 願 昭59(1984)5月23日

⑱ 発 明 者 二 神 章 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 伊藤 貞 外1名

明 細 書

発 明 の 名 称 駆 動 制 御 装 置

特 許 請 求 の 範 囲

基準信号をカウントして1フレームに対応する内部同期信号を形成する内部同期信号発生器と、この内部同期信号のエッジを検出してエッジパルス形成するエッジパルス発生器とを設け、上記内部同期信号を任意に遅延させて駆動制御を行うためのゲート信号を得るに当り、この遅延を行う単安定マルチバイブレータを上記エッジパルスにてリセットして、上記単安定マルチバイブレータの出力信号のカウントダウンが生じないようにした駆動制御装置。

発 明 の 詳 細 な 説 明

産 業 上 の 利 用 分 野

本発明は、例えばビデオテープレコーダのキャプスタンサーボに使用される駆動制御装置に関する。

背景技術とその問題点

ビデオテープレコーダのキャプスタンサーボは、

例えば以下のようにして行われる。

第2図において内部同期発生器(1)からの第3図Aに示すような1フレームごとの同期信号Saが遅延量可変の単安定マルチバイブレータ(2)に供給されて第3図Bに示すような遅延信号Sbが形成される。この遅延信号Sbがゲートパルス発生回路(3)に供給されて第3図Cに示すようなゲートパルスScが発生される。

また磁気テープ(図示せず)のコントロールトラックを再生するヘッド(4)からの第3図Dに示すような再生信号Sdが再生アンプ(5)を通じて計測用のランプ発生回路(6)に供給されて第3図Eに示すような台形波Seが形成される。この台形波Seがゲート回路(7)に供給され、上述のゲートパルスScでゲートされ、この信号がコンデンサ(8)に蓄積されて、第3図Fに示すような電位信号Sfが形成される。この信号Sfがアンプ(9)を通じてキャプスタン駆動モータ(図示せず)に接続される端子00に供給される。

この装置において、単安定マルチバイブレータ

(2)は例えば第4図のように構成される。図において入力端子②の電位が立ち上がりと同時に出力端子④の電位が立ち上がり、以後可変抵抗器③とコンデンサ④とで定まる時定数の経過後に出力端子④の電位が立ち下げられる。そしてこの回路において可変抵抗器③を調整することによつて時定数が変化され、出力端子④の電位が立ち下げられるまでの時間が制御される。

これによつて単安定マルチバイブレータ(2)の遅延量が制御される。そしてこの遅延された時点に形成されるゲートパルスScが、台形波Seのランプの中央の位置になるようにキャプスタンの駆動が制御される。

このようにしてキャプスタンサーボが行われる。そしてこの場合に、単安定マルチバイブレータ(2)は、通常1フレームの50%の遅延量が基準とされ、これより前後の方向に制御が可能とされている。

ところがこの装置において、単安定マルチバイブレータ(2)の遅延量が1フレーム分を超えて長くされると、マルチバイブレータ(2)は同期信号Saの

次の立ち上がりでトリガされず、一つおいた先の立ち上がりでトリガされるようになる。そしてこれが繰り返されるとマルチバイブレータ(2)の出力周波数が入力周波数の $\frac{1}{2}$ になつてしまい、いわゆるカウントダウン現象が生じる。

このようなカウントダウン現象は上述のように単安定マルチバイブレータを一定周期でトリガしている場合には避けることができない。そしてカウントダウン現象が生じると、上述のゲートパルスScと台形波Seとの周波数が異なることになり、正常なゲートが行われず、駆動制御が大幅に乱れてしまうことになる。

これに対して従来は、遅延量が所定値より長くないように制御範囲を制限するようにしているが、これでは完全な制御を行うことができず、また遅延量の制限範囲を1フレームに近い値まで伸ばそうとするとその限界部で1フレームを超えないようにするために極めて精度の高い構成と素子を必要としてしまう。

発明の目的

本発明はこのような点にかんがみ、簡単な構成で良好な制御が行われるようにするものである。

発明の概要

本発明は、基準信号をカウントして1フレームに対応する内部同期信号を形成する内部同期信号発生器と、この内部同期信号のエッジを検出してエッジパルスを形成するエッジパルス発生器とを設け、上記内部同期信号を任意に遅延させて駆動制御を行うためのゲート信号を得るに当り、この遅延を行う単安定マルチバイブレータを上記エッジパルスにてリセットして、上記単安定マルチバイブレータの出力信号のカウントダウンが生じないようにした駆動制御装置であつて、これによれば簡単な構成で良好な制御を行うことができる。

実施例

第1図において、クロック発振器①からのクロック信号が、カウンタで構成されるデジタル形の内部同期信号発生器②に供給されて、このカウント値によつて第5図Aに示すような同期信号Saが形成される。この同期信号Saがリセット端子を

有する遅延量可変の単安定マルチバイブレータ④に供給されて、通常は第5図Bに示すような遅延信号Sbが形成される。この遅延信号Sbがゲートパルス発生回路③に供給され、以下上述の第2図及び第3図C～Fに示したのと同様のキャプスタンサーボの動作が行われる。

さらに、同期発生器②の1フレームの終了の直前のカウント値が検出され、この検出から1フレームの終了までの間に、第5図Gに示すようなエッジパルスSgがエッジパルス発生器③にて発生される。このエッジパルスSgが単安定マルチバイブレータ④のリセット端子に供給される。

さらにリセット端子を有する遅延量可変の単安定マルチバイブレータ④は、例えば次のように構成される。第6図において、入力端子②及び出力端子④は第4図と同等である。これにさらにリセット端子③が設けられる。そして入力端子②からの信号Saがインバータ⑤に供給され、このインバータ⑤からの信号Shが否定入力のア回路⑥に供給され、このア回路⑥の出力Siが否定入力のア

ア回路33に供給される。さらにオア回路33の出力 S_m がオア回路32の否定入力に供給される。

またオア回路33の出力 S_i がインバータ34に供給され、このインバータ34からの信号 S_j がトランジスタ35のベースに供給される。また電源 V_{cc} と接地間に可変抵抗器36とコンデンサ37との時定数回路が設けられ、このコンデンサ37の両端間にトランジスタ35が接続される。

さらにこの抵抗器36とコンデンサ37との接続中点の電位信号 S_k がシュミット回路38に供給され、このシュミット回路38の出力がインバータ39に供給されて形成された信号 S_l がオア回路33の否定入力に供給される。

さらにリセット端子40からの信号 S_g がオア回路33の否定入力に供給される。

そしてオア回路33の出力 S_m がインバータ40に供給され、このインバータ40からの信号 S_b が出力端子41に出力される。

この回路において、遅延時間が短いときは各部の波形は第7図に示すようになる。この図におい

て信号 S_j が低電位の期間に電位信号 S_k が徐々に増加され、この電位がスレシヨルドレベル th を超えると信号 S_l が立ち下がり、信号 S_m が反転する。これによつて遅延時間 t_D が得られる。

また遅延時間が長いときは各部の波形は第8図に示すようになり、ここで信号 S_l が一瞬立ち下がることで、信号 S_m が反転される。

さらに遅延時間が1フレーム以上に設定されたときは各部の波形は第9図に示すようになる。このとき信号 S_l は高電位のままとするが、リセット端子40からの信号 S_g によつて回路はリセットされ、この信号 S_g の期間のみ出力信号 S_b は立ち下げられる。またこのときコンデンサ37もリセットされるので、信号 S_k がその後スレシヨルドレベル th に達することなく、それによつて誤動作が生じるおそれはない。

そしてこの単安定マルチバイブレータ40の出力信号 S_b の立ち下がりによつてゲートパルスが形成され、駆動制御が行われる。

こうして駆動制御が行われるわけであるが、上

述の装置によれば、単安定マルチバイブレータ40が、1フレームの終了の直前で必ずリセットされる。従つてこのマルチバイブレータ40にてカウントダウン現象を生じることがなく、常に良好な制御を行うことができる。

またカウントダウン現象を生じることがないので、制御範囲を制限する必要がなく、また精度の低い構成や素子を用いても問題を生じることがない。

さらにこの装置は、信号のほとんどがデジタルで処理されるので、回路の経時変化等が少なく、信頼性が高い。またデジタル処理であるのでエッジパルスもカウンタの値により容易に得ることができる。

発明の効果

本発明によれば、簡単な構成で良好な制御を行うことができるようになった。

図面の簡単な説明

第1図は本発明の一例の構成図、第2図～第4図は従来の装置の説明のための図、第5図～第9

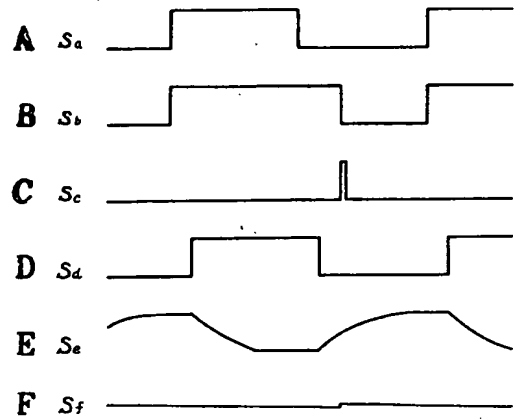
図は本発明の説明のための図である。

(3)はゲートパルス発生回路、(4)はヘッド、(6)はランプ発生回路、(7)はゲート回路、12は内部同期信号発生器、13はエッジパルス発生器、20は単安定マルチバイブレータである。

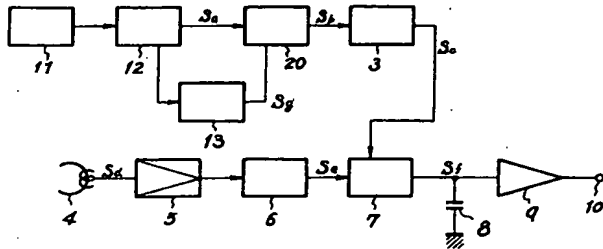
代理人 伊藤 貞

同 松隈 秀盛

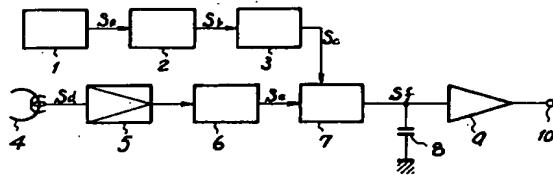
第 3 図



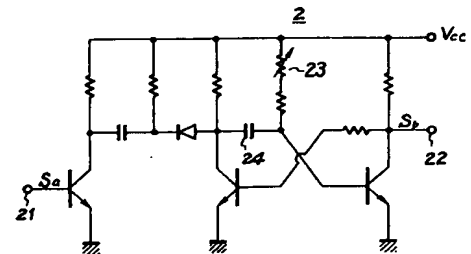
第 1 図



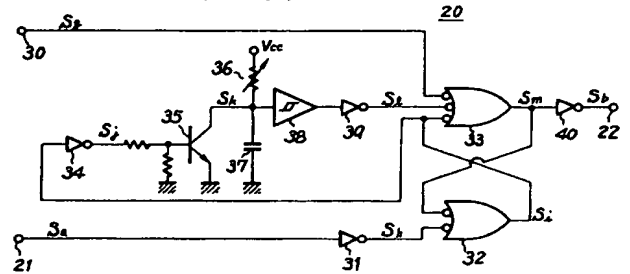
第 2 図



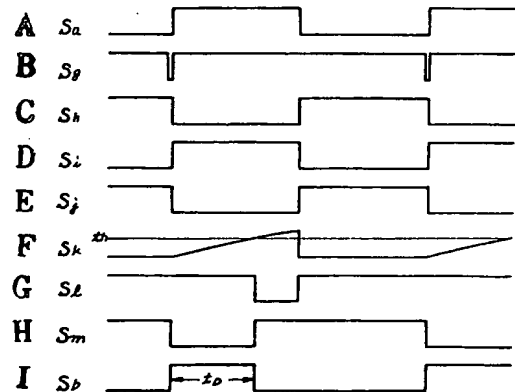
第 4 図



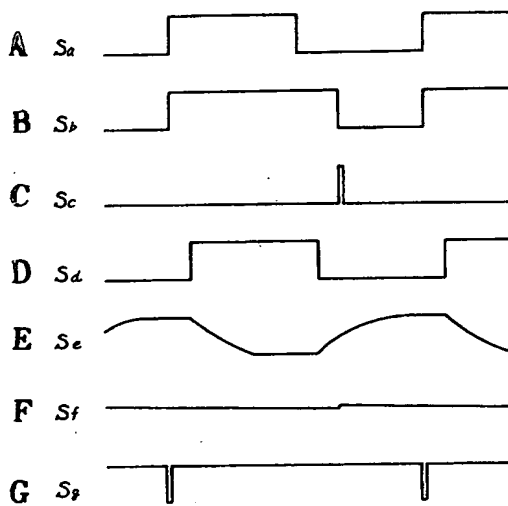
第 6 図

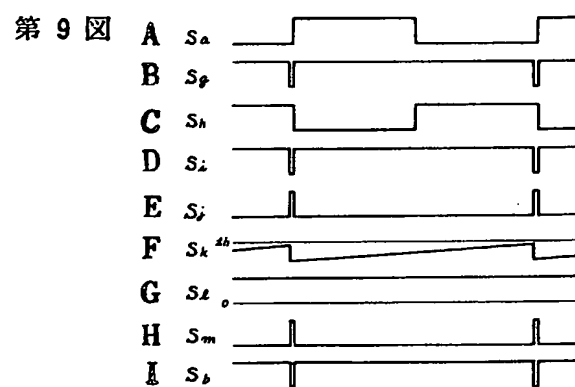
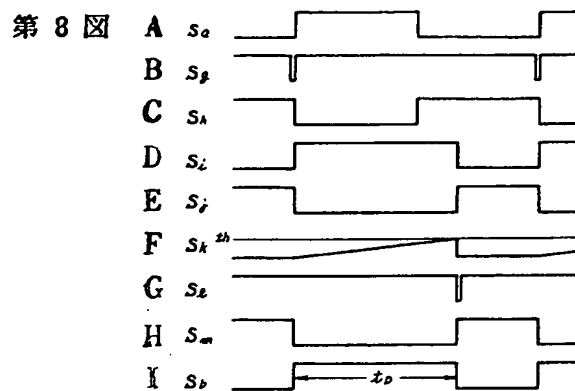


第 7 図



第 5 図





This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**